

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2004年5月24日

出願番号

Application Number:

特願2004-152801

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

J P 2004-152801

出願人

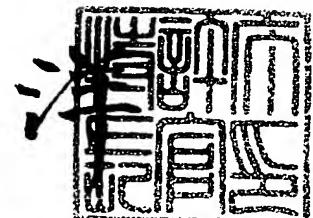
Applicant(s):

松下電器産業株式会社

特許庁長官  
Commissioner,  
Japan Patent Office

2005年6月8日

八月八日



【宣誓口】  
【整理番号】 2110550181  
【提出日】 平成16年 5月24日  
【あて先】 特許庁長官殿  
【国際特許分類】 G09G 3/28  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地  
【氏名】 伊藤 幸治  
【特許出願人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社  
【代理人】  
【識別番号】 100097445  
【弁理士】  
【氏名又は名称】 岩橋 文雄  
【選任した代理人】  
【識別番号】 100103355  
【弁理士】  
【氏名又は名称】 坂口 智康  
【選任した代理人】  
【識別番号】 100109667  
【弁理士】  
【氏名又は名称】 内藤 浩樹  
【手数料の表示】  
【予納台帳番号】 011305  
【納付金額】 16,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9809938

【請求項 1】

走査電極および維持電極とデータ電極との交差部に放電セルを形成してなるプラズマディスプレイパネルと、このプラズマディスプレイパネルの走査電極に所定の電圧を印加するための走査電極駆動回路とを有し、かつ前記走査電極駆動回路は、電源投入後、所定時間経過後に駆動波形を出力するように構成したことを特徴とするプラズマディスプレイ装置。

【請求項 2】

走査電極駆動回路は、走査電極に接続される走査回路と、この走査回路に接続されかつ初期化波形を発生する初期化回路と、前記走査回路に接続されかつ維持バスを発生する維持回路とで構成したことを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

## 【発明の名称】 プラズマディスプレイ装置

## 【技術分野】

## 【0001】

本発明は、テレビジョン受像機およびコンピュータ端末等の画像表示に用いられるプラズマディスプレイ装置に関するものである。

## 【背景技術】

## 【0002】

プラズマディスプレイパネル（以下、PDPと略記する）として代表的な交流面放電型パネルは、対向配置された前面板と背面板との間に多数の放電セルが形成されている。前面板は、1対の走査電極と維持電極とからなる表示電極が前面ガラス基板上に互いに平行に複数対形成され、それら表示電極を覆うように誘電体層および保護層が形成されている。背面板は、背面ガラス基板上に複数の平行なデータ電極と、それらを覆うように誘電体層と、さらにその上にデータ電極と平行に複数の隔壁がそれぞれ形成され、誘電体層の表面と隔壁の側面とに蛍光体層が形成されている。そして、表示電極とデータ電極とが立体交差するように前面板と背面板とが対向配置されて密封され、内部の放電空間には放電ガスが封入されている。ここで表示電極とデータ電極とが対向する部分に放電セルが形成される。このような構成のパネルにおいて、各放電セル内でガス放電により紫外線を発生させ、この紫外線でRGB各色の蛍光体を励起発光させてカラー表示を行っている。

## 【0003】

パネルを駆動する方法としてはサブフィールド法、すなわち、1フィールド期間を複数のサブフィールドに分割した上で、発光させるサブフィールドの組み合わせによって階調表示を行う方法が一般的であり、データ電極と走査電極の間に書き込みパルスを印加することにより、データ電極と走査電極の間で書き込み放電を行い、放電セルを選択した後、走査電極と維持電極との間に、交互に反転する周期的な維持パルスを印加することにより、走査電極と維持電極との間で維持放電を行い、所定の表示を行うものである（特許文献1参照）。

【特許文献1】特開平11-109915号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

このようなプラズマディスプレイ装置において、電源投入直後に初期化波形が出力されないことがあり、このため、一つ前の通電において最後に発生した電荷がパネルの放電セルに残っていると、これらの放電セルは初期化動作されずに、電源投入後の最初の維持動作で維持放電を起こし、画面上に一瞬不必要的発光として現われ表示品位を下げるという課題があった。

## 【0005】

本発明はこのような課題を解決するためになされたものであり、電源投入時に不必要的発光が起きないプラズマディスプレイ装置を得ることを目的とする。

## 【課題を解決するための手段】

## 【0006】

上記課題を解決するために、本発明のプラズマディスプレイ装置は、走査電極および維持電極とデータ電極との交差部に放電セルを形成してなるプラズマディスプレイパネルと、このプラズマディスプレイパネルの走査電極に所定の電圧を印加するための走査電極駆動回路とを有し、かつ前記走査電極駆動回路は、電源投入後、所定時間経過後に駆動波形を出力するように構成したものである。

## 【0007】

また本発明においては、走査電極駆動回路は、走査電極に接続される走査回路と、この走査回路に接続されかつ初期化波形を発生する初期化回路と、前記走査回路に接続されかつ維持パルスを発生する維持回路とで構成したものである。

【0008】

本発明のプラズマディスプレイ装置によれば、電源投入後に、駆動波形を出力するまでの間に所定の期間を設け、初期化波形を出力したのち、維持パルスを出力するよう正在するため、放電セルに残った電荷を初期化動作で消滅させることができ、続く維持動作で不要な放電が起きなくなり、起動時の表示品位を高めることができる。

## 【発明を実施するための最良の形態】

【0009】

以下、本発明の一実施の形態によるプラズマディスプレイ装置について、図1～図4の図面を参照しながら説明する。

【0010】

図1は本発明の一実施の形態によるプラズマディスプレイ装置の全体構成を示す図であり、図1において、1はPDPであり、透明な一対のガラス基板を間に放電空間が形成されるように対向配置するとともに、前面側の基板に設けた走査電極および維持電極と、背面側の基板に設けたデータ電極との交差部に放電セルを形成した構成である。

【0011】

このPDP1のデータ電極D<sub>1</sub>～D<sub>m</sub>にはデータ電極D<sub>1</sub>～D<sub>m</sub>に所定の書込みパルス電圧を印加するための書込み回路2が接続され、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>には、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に所定の走査電圧を印加するための走査回路3、初期化回路4および維持回路5からなる走査電極駆動回路が接続され、維持電極SUS<sub>1</sub>～SUS<sub>n</sub>には、維持電極SUS<sub>1</sub>～SUS<sub>n</sub>に所定の電圧を印加するための維持回路6および消去回路7からなる維持電極駆動回路が接続されている。

【0012】

この図1に示すプラズマディスプレイ装置においては、図2に示すような駆動波形により駆動される。すなわち、まず初期化期間において、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に初期化波形8を印加してパネル内の壁電荷を書込み放電に適した状態に初期化する。続く書込み期間において、データ電極D<sub>1</sub>～D<sub>m</sub>に書込みパルス9を、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に走査パルス10を印加して書込み放電を行う。続く維持期間において、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>および維持電極SUS<sub>1</sub>～SUS<sub>n</sub>に交互に維持パルス11を印加し、前記書込み放電を行った放電セルで維持放電をさせて表示発光を行う。続く消去期間において、維持電極SUS<sub>1</sub>～SUS<sub>n</sub>に消去波形12を印加して維持放電を停止させる。

【0013】

また、図1において、走査電極駆動回路は図3に示すように構成されている。図3において、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に接続される走査回路3は、走査ドライバ20、ダイオードD1、D2、およびコンデンサC1、C2とから構成されている。また、走査回路3に接続される初期化回路4は、図2に示す初期化波形を発生する回路で、ハーフブリッジドライバ21、ドライバ22、FETQ1～Q3、ダイオードD3～D5、コンデンサC3～C8、および抵抗R1、R2とから構成されている。さらに、走査回路3に接続される維持回路5は、図2に示す維持パルス11（走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に印加される維持パルス）を発生する回路で、ハーフブリッジドライバ23、電力回收回路24、FETQ4、Q5、ダイオードD6、およびコンデンサC9、C10とから構成されている。

【0014】

また、25はロジック用電源で、前記走査ドライバ20、ハーフブリッジドライバ21、23およびドライバ22に動作用の電源電圧を供給するものである。26は走査パルス10を発生するための走査パルス用電源、27は維持パルス11を発生させるための維持パルス用電源、28は初期化波形8を発生させるための初期化波形用電源である。

【0015】

すなわち、図3に示すように、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に接続される走査回路3は、走査パルスを出力する走査ドライバ20と、ロジック用電源25の電圧をダイオードD

、FETQ1、FETQ2を介してコンデンサC1に充電するノートヘッドソノコ端子と走査パルス用電源26の電圧をダイオードD1、FETQ2、FETQ5を介してコンデンサC2に充電するブーストストラップ回路とから構成されている。

#### 【0016】

また、走査回路3のGNDラインに出力ラインが接続された初期化回路4は、初期化波形8の上り傾斜波形を発生するためのFETQ1、コンデンサC5、抵抗R1からなるミラー積分回路と、初期化波形8の立ち下げを行うFETQ2と、FETQ1、Q2を駆動するハーフブリッジドライバ21と、このハーフブリッジドライバ21のロジック用電源25の電圧をダイオードD3、FETQ5を介してコンデンサC4に充電するブーストストラップ回路と、ロジック用電源25の電圧をダイオードD3、ダイオードD4、FETQ2、FETQ5を介してコンデンサC3に充電するブーストストラップ回路と、初期化波形用電源28の電圧をダイオードD5、FETQ5を介してコンデンサC6に充電するブーストストラップ回路と、初期化波形8の下り傾斜波形を発生するためのFETQ3、コンデンサC8、抵抗R2からなるミラー積分回路と、FETQ3を駆動するためのドライバ22と、このドライバ22の電源としてのロジック用電源25のバイパス用コンデンサC7とから構成されている。

#### 【0017】

さらに、初期化回路4のFETQ2のソースおよびハーフブリッジドライバ21のGNDラインに出力ラインが接続された維持回路5は、維持パルス用電源27から維持パルス11のハイレベルの電圧および初期化波形の上り傾斜波形における下のベース部分の電圧を供給するFETQ4と、維持パルス11のローレベルの電圧を供給するFETQ5と、前記FETQ4、Q5を駆動するハーフブリッジドライバ23と、ロジック用電源25の用電源25の電圧をダイオードD6、FETQ5を介してコンデンサC9に充電するブーストストラップ回路と、維持パルス11のスイッチングのときにパネルの電極容量とのLC共振を利用してスイッチング損失を低減する電力回収回路24とから構成されている。

#### 【0018】

また、ハーフブリッジドライバ21、23およびドライバ22において、S1はFETQ4、S2はFETQ5、S3はFETQ1、S4はFETQ2、S5はFETQ3それの制御信号が入力される端子である。

#### 【0019】

このような構成の回路において、GNDが他の回路の出力に接続されている回路、すなわち走査回路3と、初期化回路4のうちハーフブリッジドライバ21およびFETQ1、Q2とから構成されるブロックと、維持回路5のうちハーフブリッジドライバ23のハイサイド側およびFETQ4とから構成されるブロックは、フローティング回路となっており、これらのフローティング回路の電源は、ブーストストラップ回路のコンデンサC2、C3、C4、C6、C7、C9に充電された電圧を使用している。

#### 【0020】

この図3の回路における電源投入後の動作シーケンスを図4に示す。図4において、t1において、電源投入を行うと、ロジック用電源25が立ち上がり、コンデンサC10の電圧およびコンデンサC7の電圧が立ち上がる。このとき端子S1、S2、S3、S4、S5に入力される制御信号はオフの論理が入力されている。

#### 【0021】

次のt2において、端子S2、S4にオンの論理が入力される。このとき、コンデンサC10の電圧は、t1において、すでに立ち上がっているので、ハーフブリッジドライバ23はFETQ5にオン信号を出力する。そして、コンデンサC9、C6の電圧が立ち上がる。また、コンデンサC4の電圧も立ち上がり、端子S4にはオンの論理が入力されているため、ハーフブリッジドライバ21はFETQ2にオン信号を出力する。FETQ2がオンすると、コンデンサC3、C1、C2の電圧が立ち上がる。

#### 【0022】

、端子S1、S3にオンの論理が入力され、コンデンサC9、C3の電圧は立ち上がっているので、ハーフブリッジドライバ21、23はFETQ4、Q1にオン信号を出力する。また、このときコンデンサC6の電圧もすでに立ち上がっている。したがって、FETQ4がオンとなり、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に初期化波形8のV<sub>sus</sub>電位が印加され、FETQ1がオンとなり、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に初期化波形8の上り傾斜波形部分が印加される。

#### 【0023】

続くt5において、端子S1、S3はオフの論理となり、端子S4、S5はオンの論理となり、コンデンサC4の電圧はすでに立ち上がっているので、ハーフブリッジドライバ21はFETQ2にオン信号を出力する。また、コンデンサC7はすでに立ち上がっているので、ドライバ22はFETQ3にオン信号を出力し、下り傾斜波形が出力される。

#### 【0024】

このように図3に示す回路においては、電源投入後、フローティング回路の電源を立ち上げるt2～t3の期間が設けられており、その期間経過後に初期化波形8を出力するよう動作する。そして、その初期化波形8が出力された後、以降の書き込み期間において走査パルスが、維持期間において維持パルスがそれぞれ出力され、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に印加される。

#### 【0025】

このように本発明のプラズマディスプレイ装置においては、電源投入後、所定時間経過後に駆動波形を出力するように構成されており、走査電極SCN<sub>1</sub>～SCN<sub>n</sub>に初期化波形8を出力できないということはなくなり、放電セルに残った電荷を初期化動作で確実に消滅させることができ、続く維持動作で不要な放電が起きなくなり、起動時の表示品位を高めることができる。

#### 【産業上の利用可能性】

#### 【0026】

以上説明したように本発明は、起動時における不要な放電の発生を防止することができ、プラズマディスプレイ装置の表示品位をより一層高めることができる。

#### 【図面の簡単な説明】

#### 【0027】

【図1】本発明の一実施の形態によるプラズマディスプレイ装置のブロック図

【図2】同装置の駆動波形図

【図3】同プラズマディスプレイ装置の走査電極駆動回路の一例を示す回路図

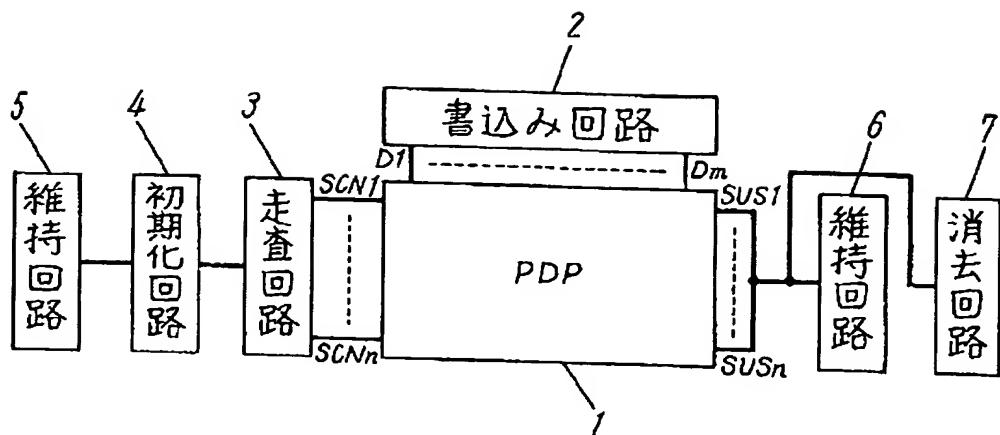
【図4】同走査電極駆動回路の動作シーケンスを説明するためのタイミング図

#### 【符号の説明】

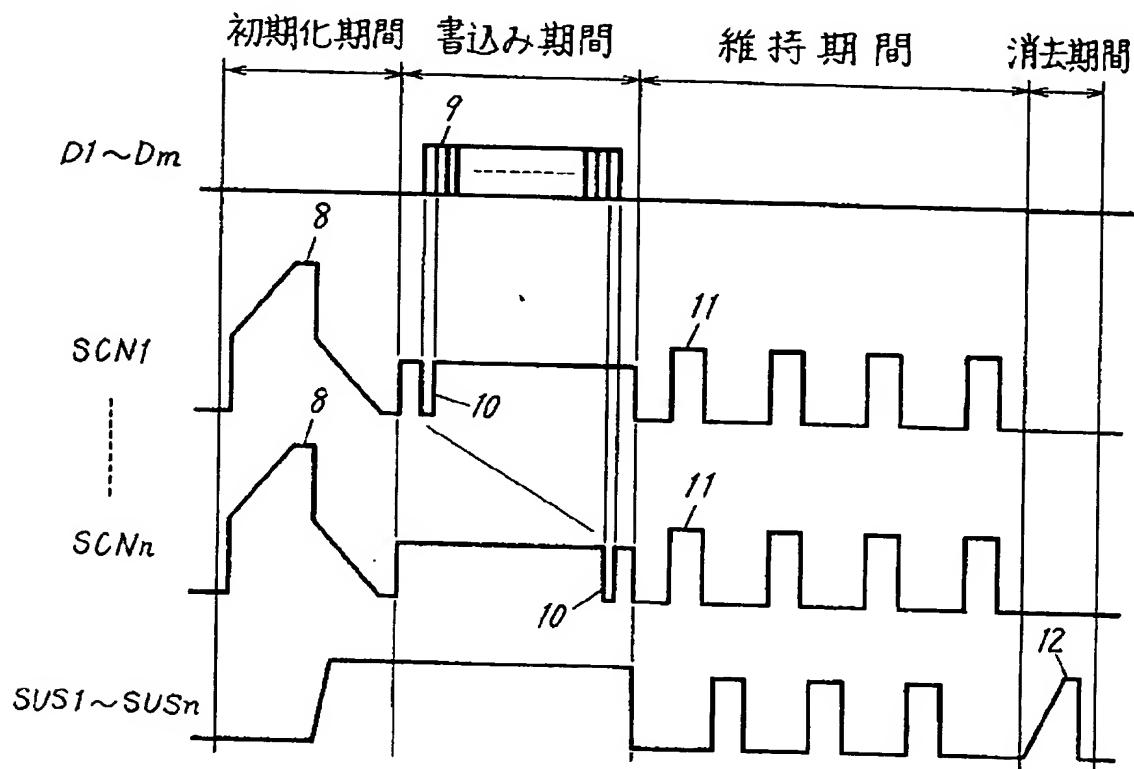
#### 【0028】

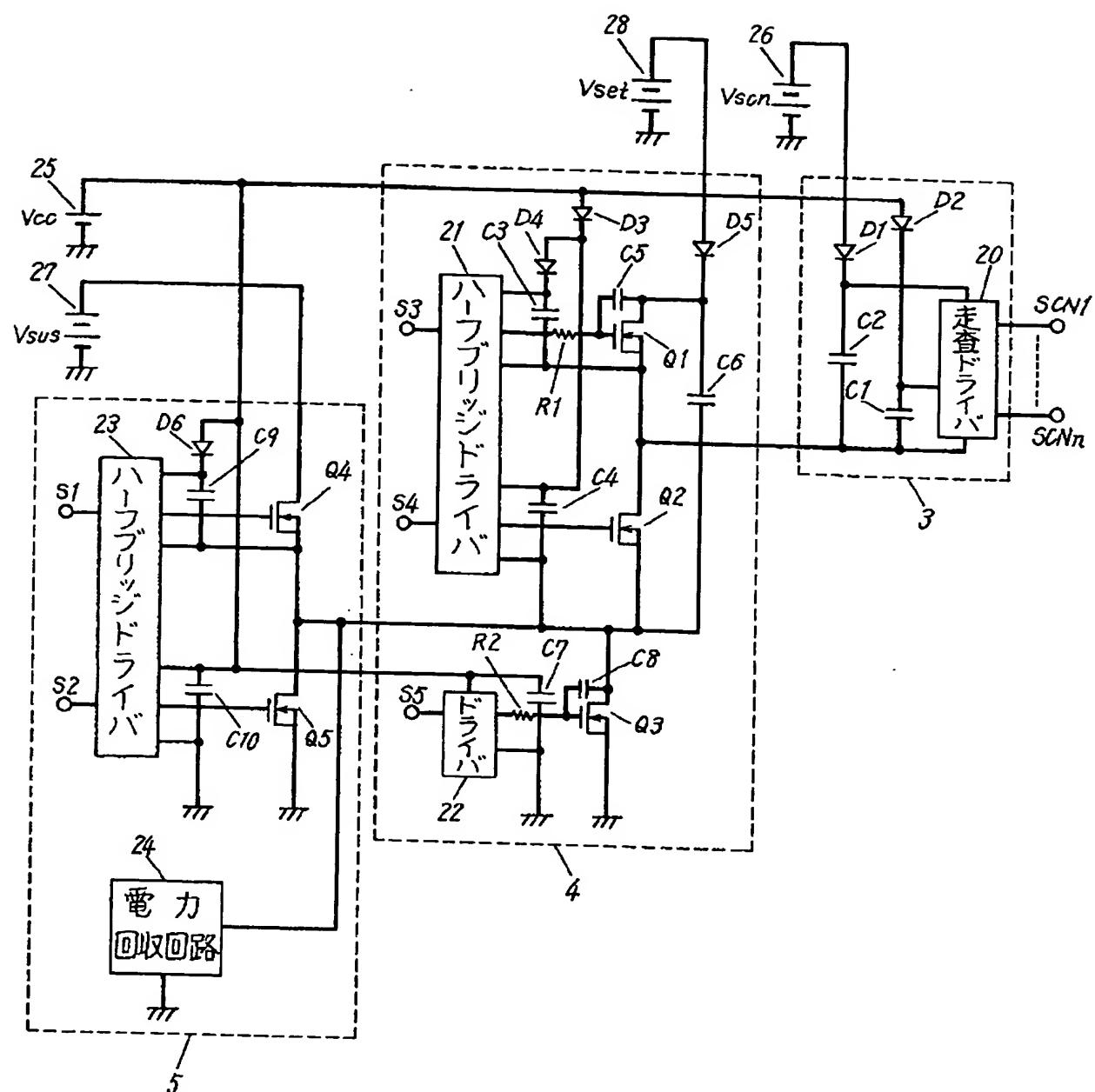
- 1 プラズマディスプレイパネル
- 2 書込み回路
- 3 走査回路
- 4 初期化回路
- 5 維持回路
- 6 維持回路
- 7 消去回路
- 8 初期化波形
- 9 書込みパルス
- 10 走査パルス
- 11 維持パルス
- 12 消去波形

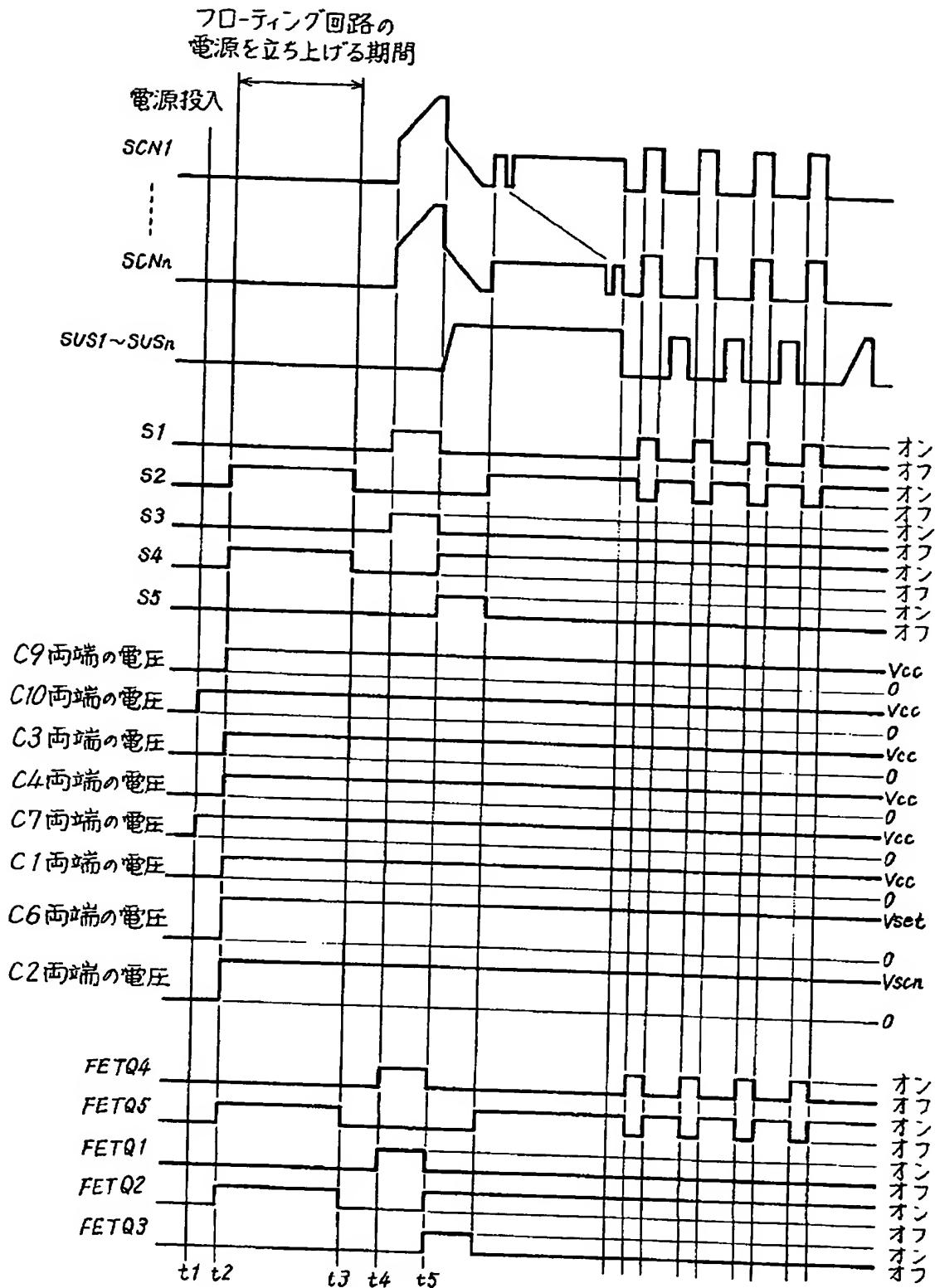
【図1】



【図2】







【要約】

【課題】 電源投入時に不必要的発光が起きないプラズマディスプレイ装置を得ることを目的とする。

【解決手段】 走査電極および維持電極とデータ電極との交差部に放電セルを形成してなる  
プラズマディスプレイパネル1と、このプラズマディスプレイパネル1の走査電極に所定  
の電圧を印加するための走査電極駆動回路とを有し、走査電極駆動回路は、走査電極に接  
続される走査回路3と、この走査回路3に接続されかつ初期化波形を発生する初期化回路  
4と、前記走査回路3に接続されかつ維持パルスを発生する維持回路5とで構成し、電源  
投入後、所定時間経過後に駆動波形を出力するように構成した。

【選択図】 図1

000005821

19900828

新規登録

大阪府門真市大字門真1006番地  
松下電器産業株式会社

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP05/009837

International filing date: 24 May 2005 (24.05.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-152801  
Filing date: 24 May 2004 (24.05.2004)

Date of receipt at the International Bureau: 24 June 2005 (24.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse